

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**

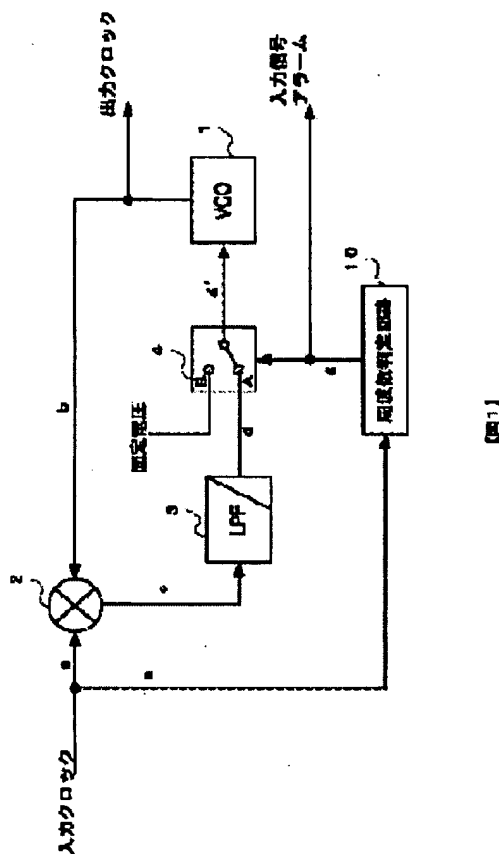
PLL CONTROL METHOD AND PLL CIRCUIT

Patent number: JP2002217721
Publication date: 2002-08-02
Inventor: SAKAI SHIGETAKA
Applicant: HITACHI KOKUSAI ELECTRIC INC
Classification:
 - International: H03L7/14
 - european:
Application number: JP20010006158 20010115
Priority number(s):

Abstract of JP2002217721

PROBLEM TO BE SOLVED: To provide a PLL (Phase Locked Loop) control method and a PLL circuit which can solve a problem of an unstable output of a voltage controlled oscillator when the frequency of an input signal is not within a variable range of the voltage controlled oscillator or when the input signal is absent and which can give a stable output even when the input signal includes sudden fluctuations.

SOLUTION: The PLL control method and PLL circuit can discriminate whether the frequency of the input signal resides within a variable range of a voltage controlled oscillator, and when the frequency of the input signal is within the variable range, supply a result of multiplication between the input signal and the output of the voltage controlled oscillator to the voltage controlled oscillator as its control voltage to conduct PLL operations, and when the frequency of the input signal is at the outside of the variable range, supply a fixed voltage to the voltage controlled oscillator as its control voltage to product PLL operations.



(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2002-217721

(P2002-217721A)

(43) 公開日 平成14年8月2日(2002.8.2)

(51) Int.Cl.⁷

識別記号

F I

キーワード(参考)

H 0 3 L 7/14

H 0 3 L 7/14

A 5 J 1 0 6

審査請求 未請求 請求項の数 2 O L (全 7 頁)

(21) 出願番号 特願2001-6158(P2001-6158)

(22) 出願日 平成13年1月15日(2001.1.15)

(71) 出願人 000001122

株式会社日立国際電気

東京都中野区東中野三丁目14番20号

(72) 発明者 西井 成貴

東京都中野区東中野三丁目14番20号 株式

会社日立国際電気内

(74) 代理人 100093104

弁理士 船津 暢宏 (外1名)

Fターム(参考) 5J106 AA04 CC02 CC21 CC41 DD08

EE01 EE06 EE18 GG01 HH03

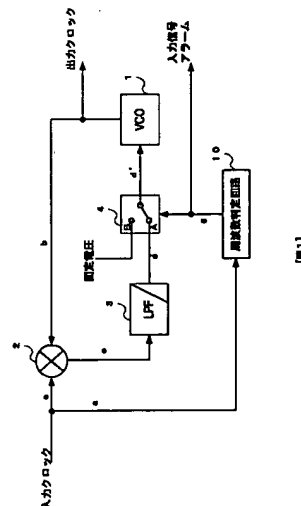
KK15 KK18

(54) 【発明の名称】 PLL制御方法及びPLL回路

(57) 【要約】

【課題】 従来の入力信号の周波数が電圧制御発振器の可変範囲でない場合や、入力信号がない場合に、電圧制御発振器の出力が安定しないという問題点を解決し、入力信号に突発的な変動があっても安定した出力を得られるPLL制御方法及びPLL回路を提供する。

【解決手段】 入力信号の周波数が電圧制御発振器の可変範囲内であるか否かを判定し、可変範囲内の場合には、入力信号と電圧制御発振器出力との乗算結果を制御電圧として電圧制御発振器に供給してPLL動作を行い、可変範囲外の場合には、固定電圧を制御電圧として電圧制御発振器に供給してPLL動作を行うPLL制御方法及びPLL回路である。



【特許請求の範囲】

【請求項1】 入力信号と電圧制御発振器の出力信号との乗算結果をもとに前記電圧制御発振器の制御電圧を変化させ、前記電圧制御発振器の出力周波数を変化させるPLL制御方法であって、

入力信号の周波数が前記電圧制御発振器の可変範囲内であるか否かを判定し、可変範囲内の場合には、入力信号と前記電圧制御発振器出力との乗算結果を制御電圧として前記電圧制御発振器に供給してPLL動作を行い、可変範囲外の場合には、固定電圧を制御電圧として前記電圧制御発振器に供給してPLL動作を行うことを特徴とするPLL制御方法。

【請求項2】 入力信号と電圧制御発振器の出力信号とを乗算する乗算器と、前記乗算器出力を制御電圧として発振周波数が変化する電圧制御発振器とを有するPLL回路であって、

前記電圧制御発振器に供給される制御電圧を前記乗算器出力とするか、固定電圧とするかを、切り替え指示に従って切り替えるスイッチと、

入力信号を取り込み、前記入力信号の周波数が前記電圧制御発振器の可変範囲内であるか否かを判定し、可変範囲内の場合には、前記スイッチを前記電圧制御発振器に供給される制御電圧を前記乗算器出力とするよう切り替え指示を出力し、可変範囲外の場合には、前記スイッチを前記電圧制御発振器に供給される制御電圧が固定電圧とするよう切り替え指示を出力する周波数判定回路とを有することを特徴とするPLL回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、PLL (Phase Locked Loop) 回路における制御方法に係り、特に入力信号に突発的な変動があっても、安定したクロックを出力できるPLL制御方法及びPLL回路に関する。

【0002】

【従来の技術】従来のPLL回路について図4を使って説明する。図4は、従来のPLL回路の構成を示すブロック図である。従来のPLL回路は、図4に示すように、電圧制御発振器（図ではVoltage Controlled Oscillator: VCO）1と、乗算器2と、ローパスフィルタ（図ではLow Pass Filter: LPF）3とから構成されていた。電圧制御発振器1は、入力電圧（制御電圧）によって発振周波数を可変にできる一般的な発振器である。乗算器2は、2つの入力信号を乗算して出力する一般的な乗算器である。ローパスフィルタ3は、高周波成分を除去して低周波成分だけを出力する一般的なローパスフィルタである。

【0003】従来のPLL回路の動作は、入力信号aと電圧制御発振器（VCO）1の出力信号bとが乗算器2で乗算され、乗算結果cがローパスフィルタ（LPF）3によって高周波成分が除去された信号dが出力され、

信号dが電圧制御発振器VCO1の制御電圧となって、電圧制御発振器1の出力周波数が制御される。

【0004】図4に示した従来のPLL回路において、入力信号の周波数が電圧制御発振器1の可変範囲である場合は、PLLループが収束していった電圧制御発振器1の発振周波数が入力信号の周波数に次第に近づき、図5に示すように、入力信号aと電圧制御発振器1の出力信号bの周波数（周期）が等しくなって、電圧制御発振器1への入力電圧dは図5（d）のように一定値となる。一方、入力信号の周波数が電圧制御発振器1の可変範囲でない場合は、PLLループが収束せずに発散し、入力信号aと電圧制御発振器1の出力信号bの周波数（周期）が等しくならず、電圧制御発振器1への入力電圧dは図6（d）に示すように、一定の値とならず不安定である。図5は、従来のPLL回路におけるPLL収束時の動作を示す説明図であり、図6は、従来のPLL回路におけるPLL未収束時の動作を示す説明図である。

【0005】尚、PLL制御方法及びPLL回路の従来技術としては、平成10年7月21日公開の特開平10-190449号「DPPPLL回路」（出願人：東洋通信機株式会社、発明者：大野隆徳）がある。この従来技術は、VCOの制御電圧と発振周波数との関係をメモリに記憶し、基準信号が途絶した際、そのとき出力しているVCO制御電圧をホールドし、基準信号が再度供給されたときに、ホールドされた制御電圧によるVCO出力周波数と基準信号との周波数差を検出し、周波数差とメモリに記憶された情報とからVCOに与えるべき制御電圧を決定するDPPPLL回路であり、これにより、基準信号の途絶により出力周波数が大きく変動した後、再度基準信号が供給された場合に、変動した出力周波数から速やかに規定された周波数範囲内に出力周波数を回復できるものである。

【0006】また、別のPLL制御方法及びPLL回路の従来技術としては、平成11年10月8日公開の特開平11-274922号「位相同期回路」（出願人：富士通電装株式会社、発明者：金山啓介）がある。この従来技術は、同期引き込み時に入力信号周波数が中心周波数に対して高いか低いかに判定し、高い場合は下限周波数の制御電圧を選択し、低い場合は、上限周波数の制御電圧を選択して、ループフィルタを介した制御電圧に代えて電圧制御発振器に入力する位相同期回路であり、電源投入時や入力信号復旧時等の同期引き込み開始時の入力信号周波数と分周出力信号周波数との差を大きくすることによって同期引き込みを高速度化できるものである。

【0007】

【発明が解決しようとする課題】しかしながら、上記従来のPLL制御方法及びPLL回路では、入力信号の周波数が電圧制御発振器1の可変範囲でない場合や、入力信号が無い場合に、PLLループが発散してしまい、電

圧制御発振器 1 からの出力が安定しないという問題点があった。

【0008】本発明は上記実情に鑑みて為されたもので、入力信号の周波数が電圧制御発振器の可変範囲でない場合や、入力信号がない場合に、電圧制御発振器の出力が安定しないという問題点を解決し、入力信号に突発的な変動があっても安定した出力を得られる PLL 制御方法及び PLL 回路を提供することを目的とする。

【0009】

【課題を解決するための手段】上記従来例の問題点を解決するための本発明は、入力信号と電圧制御発振器の出力信号との乗算結果をもとに電圧制御発振器の制御電圧を変化させ、電圧制御発振器の出力周波数を変化させる PLL 制御方法であって、入力信号の周波数が電圧制御発振器の可変範囲内であるか否かを判定し、可変範囲内の場合には、入力信号と電圧制御発振器出力との乗算結果を制御電圧として電圧制御発振器に供給して PLL 動作を行い、可変範囲外の場合には、固定電圧を制御電圧として電圧制御発振器に供給して PLL 動作を行うものなので、入力信号に突発的な変動があっても安定した出力を得ることができる。

【0010】上記従来例の問題点を解決するための本発明は、入力信号と電圧制御発振器の出力信号とを乗算する乗算器と、乗算器出力を制御電圧として発振周波数が変化する電圧制御発振器とを有する PLL 回路であって、電圧制御発振器に供給される制御電圧を前記乗算器出力とするか、固定電圧とするかを、切り替え指示に従って切り替えるスイッチと、入力信号を取り込み、入力信号の周波数が前記電圧制御発振器の可変範囲内であるか否かを判定し、可変範囲内の場合には、スイッチを電圧制御発振器に供給される制御電圧を乗算器出力とするよう切り替え指示を出力し、可変範囲外の場合には、スイッチを電圧制御発振器に供給される制御電圧が固定電圧とするよう切り替え指示を出力する周波数判定回路とを有するものなので、入力信号に突発的な変動があっても安定した出力を得ることができる。

【0011】

【発明の実施の形態】本発明の実施の形態について図面を参照しながら説明する。尚、以下で説明する機能実現手段は、当該機能を実現できる手段であれば、どのような回路又は装置であっても構わず、また機能の一部又は全部をソフトウェアで実現することも可能である。更に、機能実現手段を複数の回路によって実現してもよく、複数の機能実現手段を単一の回路で実現してもよい。

【0012】本発明に係る PLL 制御方法及び PLL 回路は、入力信号の周波数が電圧制御発振器の可変範囲内であるか否かを判定し、可変範囲内の場合には、入力信号と電圧制御発振器出力との乗算結果を制御電圧として電圧制御発振器に供給して PLL 動作を行い、可変範囲

外の場合には、固定電圧を制御電圧として電圧制御発振器に供給して PLL 動作を行うものなので、入力信号に突発的な変動があっても安定した出力を得ることができるものである。

【0013】まず、本発明に係る PLL 回路の構成について図 1 を使って説明する。図 1 は、本発明に係る PLL 回路の構成ブロック図である。尚、図 4 と同様の構成をとる部分については同一の符号を付して説明する。本発明の PLL 回路（本回路）は、従来の PLL 回路と同様の部分として、電圧制御発振器（図では VCO）1 と、乗算器 2 と、ローパスフィルタ（図では LPF）3 とから構成され、更に本発明の特徴部分として、スイッチ 4 と、周波数判定回路 10 とが設けられている。

【0014】次に、本回路の各部について具体的に説明するが、電圧制御発振器 1 と、乗算器 2 と、ローパスフィルタ 3 は従来と全く同様であるので説明を省略し、本発明の特徴部分について説明する。スイッチ 4 は、電圧制御発振器 1 に供給する制御電圧を、ローパスフィルタ 3 出力（A）又は固定電圧（B）で切り替えるスイッチであり、後述する周波数判定回路 10 からの出力に従って切替が行われる。

【0015】周波数判定回路 10 は、入力信号の周波数が電圧制御発振器 1 の可変範囲内であるか否かを判定し、判定結果に従ってスイッチ 4 の切替信号 g を出力するものである。具体的に周波数判定回路 10 は、入力信号の周波数が電圧制御発振器 1 の可変範囲内であるか否かを判定し、可変範囲内であると判定された場合は、スイッチ 4 をローパスフィルタ 3 出力側（A）に切り換える信号を出力し、可変範囲内でないと判定された場合は、スイッチ 4 を固定電圧側（B）に切り換える切替信号 g を出力するようになっている。

【0016】ここで、本発明の PLL 回路の周波数判定回路 10 内部構成について、図 2 を使って説明する。図 2 は、本発明の PLL 回路の周波数判定回路 10 の構成例を示すブロック図である。本発明の PLL 回路の周波数判定回路 10 は、分周器 11 と、周波数判定用クロック発生器 12 と、カウンタ 13 と、周波数計算部 14 とから構成されている。分周器 11 は、入力信号を分周する一般的な分周器である。周波数判定用クロック発生器 12 は、入力クロックを分周した信号の 1 周期の長さを求めるための、周波数カウント用のクロックを発生させるクロック発生器である。

【0017】カウンタ 13 は、入力クロックを分周した信号の 1 周期の長さをカウントするカウンタである。具体的にカウンタ 13 は、周波数判定用クロック発生器 12 からのクロックに従ってカウンタをインクリメントし、分周器 11 からの信号の、例えば、立ち下がりでカウンタをクリアしながら、カウント値（カウント数）f を出力するようになっている。

【0018】周波数計算部 14 は、カウンタ 13 から出

力されるカウント数 f の最大値を、入力クロックを分周した信号の1周期の長さとして捉え、入力信号の周波数が電圧制御発振器1の可変範囲内であるか否かを判定し、判定結果に従ってスイッチ4の切替信号 g を出力するものである。尚、この切替信号 g は、入力信号の周波数が電圧制御発振器1の可変範囲内である場合を正常状態とし、可変範囲外である又は入力信号が未入力である場合を異常状態と捉えると、入力信号の異常状態を検出して報知する入力信号アラームとしても利用できる。

【0019】周波数計算部14における周波数の判定方法について、図3を用いて説明する。図3は、周波数計算部14における周波数の判定方法を示す説明図である。周波数計算部14に入力される分周器11からの信号 e が図3(a)のようなクロックであるとし、カウンタ13が分周器11からの信号の立ち下がりでクリアされるものとする。時刻 t_0 で分周器11からの信号 e が立ち下がり、カウンタ13がクリアされ、以降、周波数判定用クロック発生器12からのクロックでカウンタアップされていく。そして、次の立ち下がりになる時刻 t_1 まで、カウンタ値はインクリメントされていくので、周波数計算部14では、カウンタ13からのカウント値の最大値が、電圧制御発振器1の可変範囲に対応する周波数上限時のカウンタ値(C_{max})及び周波数下限時のカウンタ値(C_{min})の範囲内であれば、スイッチ4をローパスフィルタ3からの出力を電圧制御発振器1に入力するように設定する切替信号 g を出力する。また、カウンタ13からのカウント値の最大値が、電圧制御発振器1の可変範囲に対応する周波数上限時のカウンタ値(C_{max})及び周波数下限時のカウンタ値(C_{min})の範囲外であれば、スイッチ4を固定電圧を電圧制御発振器1に入力するように設定する切替信号 g を出力する。

【0020】次に、本実施の形態のPLL回路の動作について、図1、図2、図3を用いて説明する。本発明のPLL回路では、入力信号 a と電圧制御発振器(VCO)1の出力信号 b とが乗算器2で乗算され、乗算結果 c がローパスフィルタ(LPF)3によって高周波成分が除去された信号 d が出力される。一方、入力信号 d は、周波数判定回路10に取り込まれ、入力信号の周波数が電圧制御発振器1の可変範囲内であるか否かが判定されて、可変範囲内であると判定された場合は、スイッチ4をローパスフィルタ3出力側(A)に切り換える切替信号 g が出力され、スイッチ4がローパスフィルタ3出力側(A)になって、ローパスフィルタ3からの出力信号 d が、制御電圧 d' として電圧制御発振器1に供給される。また、入力信号の周波数が電圧制御発振器1の可変範囲外であると判定された場合は、スイッチ4を固定電圧側(B)に切り換える切替信号 g が出力され、スイッチ4が固定電圧側(B)になって、固定電圧が制御電圧 d' として電圧制御発振器1に供給されるようになっている。

【0021】本発明の実施の形態のPLL制御方法によれば、入力信号の周波数が電圧制御発振器の可変範囲内であるか否かを判定し、可変範囲内の場合には、従来通りに入力信号と電圧制御発振器出力との乗算結果を制御電圧として電圧制御発振器に供給してPLL動作を行い、可変範囲外の場合には、固定電圧を制御電圧として電圧制御発振器に供給してPLL動作を行うので、入力クロック信号が異常となったり、又は、突発的に未入力となっても、PLLループの発散を防いで出力周波数を一定に保ち、安定したPLL動作を行うことができ、安定したクロック出力を維持できる効果がある。

【0022】また、本発明の実施の形態のPLL回路によれば、周波数判定回路10で入力信号の周波数が電圧制御発振器の可変範囲内であるか否かを判定し、可変範囲内の場合には、従来通りに入力信号と電圧制御発振器出力との乗算結果を制御電圧として電圧制御発振器に供給するようにスイッチ4を切り替え、可変範囲外の場合には、固定電圧を制御電圧として電圧制御発振器に供給するようにスイッチ4を切り替えてPLL動作を行うので、入力クロック信号が異常となったり、又は、突発的に未入力となっても、PLLループの発散を防いで出力周波数を一定に保ち、安定したPLL動作を行うことができ、安定したクロック出力を維持できる効果がある。

【0023】

【発明の効果】本発明によれば、入力信号の周波数が電圧制御発振器の可変範囲内であるか否かを判定し、可変範囲内の場合には、入力信号と電圧制御発振器出力との乗算結果を制御電圧として電圧制御発振器に供給してPLL動作を行い、可変範囲外の場合には、固定電圧を制御電圧として電圧制御発振器に供給してPLL動作を行うPLL制御方法としているもので、入力信号に突発的な変動があっても安定した出力を得ることができる効果がある。

【0024】本発明によれば、電圧制御発振器に供給される制御電圧を乗算器出力とするか、固定電圧とするかを、切り替え指示に従って切り替えるスイッチを設け、入力信号を取り込み、入力信号の周波数が電圧制御発振器の可変範囲内であるか否かを判定し、可変範囲内の場合には、スイッチを電圧制御発振器に供給される制御電圧を乗算器出力とするよう切り替え指示を出力し、可変範囲外の場合には、スイッチを電圧制御発振器に供給される制御電圧が固定電圧とするよう切り替え指示を出力する周波数判定回路とを有するPLL回路としているので、入力信号に突発的な変動があっても安定した出力を得ることができる効果がある。

【図面の簡単な説明】

【図1】本発明に係るPLL回路の構成ブロック図である。

【図2】本発明のPLL回路の周波数判定回路の構成例を示すブロック図である。

【図3】周波数計算部における周波数の判定方法を示す説明図である。

【図4】従来のPLL回路の構成を示すブロック図である。

【図5】従来のPLL回路におけるPLL収束時の動作を示す説明図である。

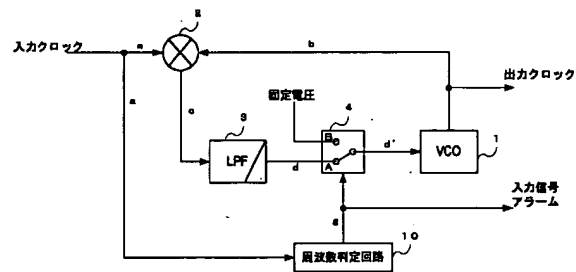
【図6】従来のPLL回路におけるPLL未収束時の動作を示す説明図である。

作を示す説明図である。

【符号の説明】

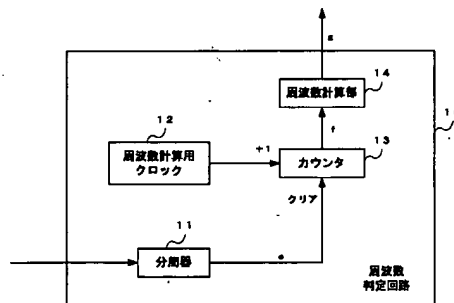
1…電圧制御発振器、 2…乗算器、 3…ローパスフィルタ、 4…スイッチ、 10…周波数判定回路、 11…分周器、 12…周波数判定用クロック発生器、 13…カウンタ、 14…周波数計算部

【図1】



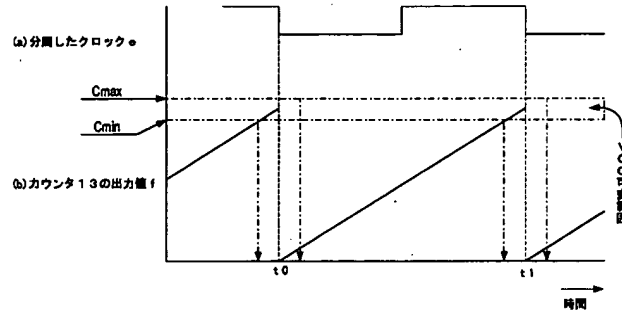
【図1】

【図2】

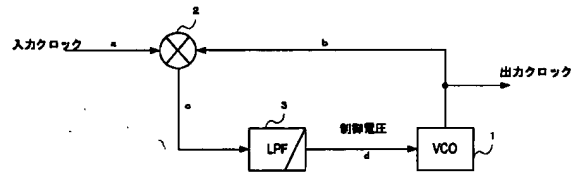


【図2】

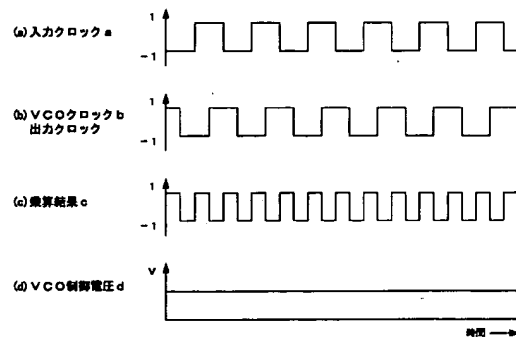
【図3】



【図4】



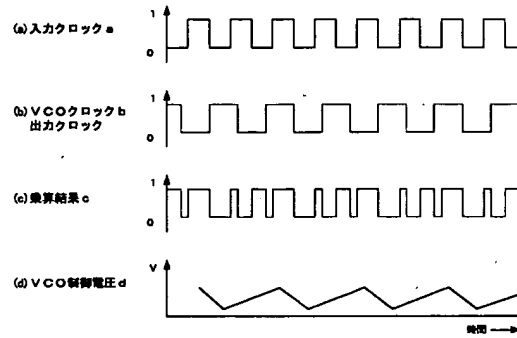
【図5】



【図5】

(7) 002-217721 (P2002-21JL8)

【図6】



【図6】